

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307661

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H03K 19/0175

G11C 11/417

H03K 19/0948

(21)Application number : 06-097498

(71)Applicant : SONY CORP

(22)Date of filing : 11.05.1994

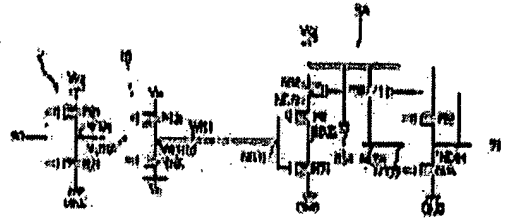
(72)Inventor : SONEDA MITSUO

## (54) SIGNAL TRANSFER CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce the power consumption and the signal delay due to wiring of transfer between blocks in an LSI chip by reducing the number of wirings in the chip to one.

**CONSTITUTION:** A transfer amplitude conversion circuit 10 receives the output signal level of a driver circuit 2 set to the level of a supply voltage VCC or the ground level and converts it to the level of a virtual ground voltage VL or a virtual supply voltage VH to propagate it to a wiring WR1 in the chip. The middle point of gate connection between a PMOS transistor TR P101 and an NMOS TR N101 constituting an input node up non or the circuit no is connected to an output node ND 21 of the circuit 2. The middle point of drain connection between the PMOS TR P101 and the NMOS TR N101 of an output node ND 102 of the circuit 10 is connected to the wiring WR1. Voltages VH and VL are so set that the difference between them is smaller than the difference between the voltage Vcc and the GND potential. The transfer amplitude is converted into smaller one by the circuit 10 to reduce the power consumption.



## LEGAL STATUS

[Date of request for examination]

24.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3246178

[Date of registration]

02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## 3

Cgの総和( $C_s = C_j + C_w + C_g$ )となり、信号転送のためにはこの容量Cs分を充放電する電力を消費する必要がある。消費電力は、 $\{C_s \cdot V_{cc}^2 \cdot f\}$ で表されるが、LSIのデザインルールの微細化、大チップ化とともに、総容量Csのうち、配線WRの容量Cwが主體的になりつつある。

【0007】この容量Csのかなりの割合を示すブロック間配線WRの容量Cwによる消費電力を低減するには、電圧を下げ信号振幅を小さくして転送すればよく、従来、図11～図13に示すように、いくつかの小振幅信号転送回路が提案されている。

【0008】図11は、SRAM回路等で採用されている従来の小振幅信号転送回路の構成例を示す回路図である。図11において、4はドライバ回路、5はレシーバ回路、WR1、WR2はチップ内配線をそれぞれ示している。ドライバ回路4は、チップ内配線WR1、WR2と接地GNDとの間に接続された信号電流調整用NMOSトランジスタN41およびN42により構成されている。NMOトランジスタN41、N42のゲートには相補的な値をとるデータ信号D、D<sub>bar</sub>が供給される。

【0009】レシーバ回路5は、PMOSTランジスタP51～P54、NMOSTランジスタN51、N52、およびインバータIV51により構成されている。PMOSTランジスタP51～P54のソースは電源電圧V<sub>CC</sub>の供給ラインに接続され、NMOSTランジスタN51、N52のソースは接地されている。PMOSTランジスタP51とP52、PMOSTランジスタP53とP54、NMOSTランジスタN51、N52のゲート同士が接続されている。PMOSTランジスタP51のドレインはゲートに接続され、これらの接続中点であるノードND51が配線WR1の一端に接続されている。PMOSTランジスタP54のドレインはゲートに接続され、これらの接続中点であるノードND52が配線WR2の一端に接続されている。NMOSTランジスタN51のドレインはゲートに接続され、これらの接続中点はPMOSTランジスタP52のドレインに接続されている。また、NMOSTランジスタN52およびPMOSTランジスタP53のドレイン同士が接続され、これらの接続中点であるノードND53がインバータIV51の入力に接続されている。

【0010】このような構成において、ドライバ回路4のNMOSTランジスタN41、N42のゲートに対して相補的な値をとるデータ信号D、D<sub>bar</sub>が供給され、それらの供給電圧値に応じてデータ線としてのチップ内配線WR1、WR2に信号電流(I<sub>0</sub> + i<sub>s</sub>)、(I<sub>0</sub> - i<sub>s</sub>)が流れその大きさが決定される。そして、信号電流が流れることにより信号転送が開始される。信号電流(I<sub>0</sub> + i<sub>s</sub>)、(I<sub>0</sub> - i<sub>s</sub>)が流れると、レシーバ回路5のノードND51の電位は下がり、ノードND52の電位は上がる。これにより、PMOSTランジスタ

## 4

P52、P53およびNMOSTランジスタN51、N52からなるカレントミラー回路により構成される差動アンプで増幅された信号がノードND53からインバータIV51に出力される。

【0011】図12は、GTL(Gunning Tranceiver Logic)に基づく小振幅転送回路の構成例を示す回路図である。図12において、6はドライバ回路、7はレシーバ回路、WR1はチップ内配線をそれぞれ示している。ドライバ回路6は、チップ内配線WR1と接地GNDとの間に接続された信号電流調整用NMOSTランジスタN61により構成され、NMOトランジスタN61のゲートに供給されるデータ信号Dに応じて信号電流の大きさを決定する。

【0012】レシーバ回路7は、PMOSTランジスタP71～P73、NMOSTランジスタN71、N72、50オームの抵抗素子R71、およびインバータIV71により構成されている。PMOSTランジスタP71のソースは電源電圧V<sub>CC</sub>の供給ラインに、ドレインはPMOSTランジスタP72、P73のソースに接続されている。PMOSTランジスタP72、P73のドレインはそれぞれNMOSTランジスタN71、N72のドレインに接続され、NMOSTランジスタN71、N72のソースは接地されている。そして、NMOSTランジスタN71およびN72はゲート同士が接続され、NMOSTランジスタN72のドレインはゲートに接続されている。そして、PMOSTランジスタP71およびP72のゲートが配線WR1の一端に接続され、これらの接続中点は50オームの抵抗素子R71を介して電圧1.2Vの供給ラインに接続されている。

【0013】このような構成においては、差動アンプを構成するPMOSTランジスタP73のゲートにはリファレンス電圧V<sub>ref</sub>(たとえば0.8V)が供給されており、ドライバ回路6のNMOSTランジスタN61のゲートに対してデータ信号Dが供給され、供給電圧値に応じてデータ線としてのチップ内配線WR1に信号電流が流れその大きさが決定される。そして、信号電流が流れることにより信号転送が開始される。レシーバ回路7においては、たとえば転送された信号がハイレベル

「1」で信号電流が流れた場合にはノードND71の電圧が0.4V、ローレベルで信号電流が流れない場合には1.2Vとなる。これにより、PMOSTランジスタP72、P73およびNMOSTランジスタN71、N72からなるカレントミラー回路により構成される差動アンプで増幅された信号がノードND72からインバータIV71に出力される。

【0014】図13は、ドライバ回路側の電源電圧を3V系および1V系の2系統に分けた小振幅転送回路の構成例を示す回路図である。本回路は図10の回路と異なり、電源電圧を3V系および1V系の2系統に分け、信号振幅を通常は3Vと接地レベルをとるようにし、転送

時にのみ1V系の電源電圧を用いたPMOSトランジスタP81およびNMOSトランジスタN81のゲート、ドレイン同士を接続してなるCMOSインバータ型バッファ8により1Vと接地レベルに設定して転送し、レシーバ回路3で3Vに再設定するようにした回路である。

#### 【0015】

【発明が解決しようとする課題】図11の回路は、転送速度が速いものの、データ線としての配線が2本必要であり、LSIの大規模化に伴うチップ内配線数の増大を増長するという問題がある。また、データの転送期間中はオン状態にあることからDC的に消費電力の増大を招く。

【0016】同様に、図12の回路では、データによってデータ転送期間中はオン状態にあることから消費電力の増大を招く。

【0017】また、図13の回路では、転送レベルが1Vのときにレシーバ回路3の貫通電流が発生する。また、NMOSトランジスタN31のゲート電圧が低く、ドライブ能力が小さく、高速性に問題がある。

【0018】本発明は、かかる事情に鑑みてなされたものであり、その目的は、LSIチップ内のブロック間転送の配線に起因する消費電力および信号遅延を低減でき、高速性を維持しつつ、LSIの消費電力を低減できる信号転送回路を提供することにある。

#### 【0019】

【課題を解決するための手段】上記目的を達成するため、本発明の信号転送回路は、転送すべき信号レベルに応じて第1の電源電位または第2の電源電位のレベルに設定して出力するドライバ回路と、上記ドライバ回路の出力信号をそのレベルに応じて第3の電源電位または第4の電源電位のレベルに変換して出力する転送振幅変換回路と、第1の電源電位および第2の電源電位間に直列に接続され、第1の電源電位または第2の電源電位を所定電位だけ降下させる電圧降下回路と、上記転送振幅変換回路の出力信号を所定電位だけ降下された電位および第2の電源電位または第1の電源電位のレベルに設定して出力するバッファ回路とを有するレシーバ回路とを備え、上記第3の電源電位と第4の電源電位との電位差は、第1の電源電位と第2の電源電位との電位差より小さく設定されている。

【0020】また、本発明の信号転送回路は、上記電圧降下回路はMOSトランジスタのソースフォロウにより構成され、上記レシーバ回路のバッファ回路は、PMOSトランジスタおよびNMOSトランジスタを電圧降下回路と第2の電源電位または第1の電源電位との間に直列に接続したCMOS回路により構成され、上記第3の電源電位は、少なくとも第1の電源電位から上記電圧降下回路のMOSトランジスタのしきい値および上記バッファ回路のPMOSトランジスタのしきい値分を差し引いた電位以上に設定され、上記第4の電源電位は、少な

くとも上記電圧降下回路のMOSトランジスタのしきい値および上記バッファ回路のNMOSトランジスタのしきい値の合計電位以下に設定される。

【0021】また、本発明の信号転送回路は、上記第4の電源電位は上記第2の電源電位より高く設定される。

【0022】また、本発明の信号転送回路は、オペアンプと、第1または第2の電源電位に接続され、上記電圧降下回路のMOSトランジスタと極性の等しいMOSトランジスタのソースフォロウを有し、少なくとも第1または第2の電源電位から当該MOSトランジスタのしきい値分を降下させた電圧を発生して上記オペアンプの入力に供給する電圧発生回路と、ゲートが上記オペアンプの出力に接続され、ソースが第1または第2の電源電位に接続され、ドレインが抵抗素子を介して上記オペアンプの他入力に接続された上記バッファ回路の上記電圧降下回路と接続されたMOSトランジスタの極性と等しいMOSトランジスタと、上記抵抗素子に所定の電流を供給する電流源とからなる第3の電源電位発生回路と、オペアンプと、第2または第1の電源電位に接続され、上記電圧降下回路のMOSトランジスタと極性の等しいMOSトランジスタのソースフォロウを有し、少なくとも当該MOSトランジスタのしきい値および上記バッファ回路の上記電圧降下回路と接続されたMOSトランジスタの極性と等しいMOSトランジスタのしきい値の合計値に相当する電圧を発生して上記オペアンプの入力に供給する電圧発生回路と、ゲートが上記オペアンプの出力に接続され、ソースが第2または第1の電源電位に接続され、ドレインが抵抗素子を介して上記オペアンプの他入力に接続された上記バッファ回路の上記電圧降下回路と接続されたMOSトランジスタの極性と等しいMOSトランジスタと、上記抵抗素子に所定の電流を供給する電流源とからなる第4の電源電位発生回路とを有する。

#### 【0023】

【作用】本発明によれば、転送すべき信号は、ドライバ回路によりそのレベルに応じて第1の電源電位または第2の電源電位のレベルに設定され、転送振幅変換回路に出力される。転送振幅変換回路では、ドライバ回路の出力信号のレベルがその入力レベルに応じて第3の電源電位または第4の電源電位のレベルに変換されて転送配線に伝搬される。このときの転送レベルである第3の電源電位と第4の電源電位との電位差は、第1の電源電位と第2の電源電位との電位差より小さく設定され、小振幅転送が行われる。したがって、消費電力が低減される。転送配線を伝搬された信号は、レシーバ回路に入力され、その入力レベルに応じて所定電位だけ降下された電位および第2の電源電位または第1の電源電位のレベルに設定される。

【0024】また、本発明によれば、電圧降下回路はMOSトランジスタのソースフォロウにより構成され、レ

シーバ回路のバッファ回路は、PMOSトランジスタおよびNMOSトランジスタを電圧降下回路と第2の電源電位または第1の電源電位との間に直列に接続したCMOS回路により構成され、第3の電源電位は、少なくとも第1の電源電位から電圧降下回路のMOSトランジスタのしきい値およびバッファ回路のPMOSトランジスタのしきい値分を差し引いた電位以上に設定され、第4の電源電位は、少なくとも電圧降下回路のMOSトランジスタのしきい値および上記バッファ回路のNMOSトランジスタのしきい値の合計電位以下に設定されることにより、高速動作を保持しつつ、貫通電流の発生が防止され、消費電力が低減される。

【0025】また、本発明によれば、第3および第4の電源電位発生回路の電圧発生回路に電圧降下回路のMOSトランジスタと極性の等しいMOSトランジスタのソースフォロワを設け、これに基づいて基準となる電圧を発生させているため、レシーバ回路のプロセスバラツキや温度変動等による素子変動分が吸収される。

#### 【0026】

【実施例】図1は、本発明に係る信号転送回路の一実施例を示す回路図であって、従来例を示す図9と同一構成部分は同一符号をもって表す。すなわち、2はドライバ回路、3Aはレシーバ回路、10は転送振幅変換回路、 $V_{CC}$ は電源電圧（たとえば3.3V）、 $V_H$ はバーチャル電源電圧（たとえば1.5V）、 $V_L$ はバーチャル接地電圧（たとえば0.5V）をそれぞれ示している。

【0027】レシーバ回路3Aは、PMOSトランジスタP31～P33およびNMOSトランジスタN31～N34により構成されており、バーチャル電源電圧 $V_H$ レベル、またはバーチャル接地電位 $V_L$ レベルをもってチップ内配線を伝搬された転送信号を受けて、元の電源電圧 $V_{CC}$ レベル、接地GNDレベルに変換する。PMOSトランジスタP31とNMOSトランジスタN31とのゲートおよびドレイン同士が接続されてCMOSインバータ型入力段バッファが構成され、PMOSトランジスタP33とNMOSトランジスタN33とのゲートおよびドレイン同士が接続されてCMOSインバータ型出力段バッファが構成されている。

【0028】入力段バッファを構成するPMOSトランジスタP31のソースと電源電圧 $V_{CC}$ の供給ラインとの間にはゲートおよびドレインが接続されたいわゆるソースフォロワ型に構成された電圧降下回路としてのNMOSトランジスタN32が直列に接続されている。具体的には、NMOSトランジスタN32のソースはPMOSトランジスタP31のソースに接続され、ドレインとゲートとの接続中点が電源電圧 $V_{CC}$ の供給ラインに接続さ

$$V_{CC} - GND > V_H - V_L$$

【0033】さらに、バーチャル電源電圧 $V_H$ およびバーチャル接地電圧 $V_L$ は、次の関係を満足する値に設定され、レシーバ回路3Aの入力段バッファの貫通電流の

れている。これにより、PMOSトランジスタP31のソース側のノードNDS1の電位は、 $\{V_{CC} - V_{thNB}\}$ に保持される。ここで、 $V_{thNB}$ はNMOSトランジスタN32の基板バイアス効果による変動分を含むしきい値電圧を示している。

【0029】また、入力段バッファの入力ノードND31を構成するPMOSトランジスタP31およびNMOSトランジスタN31のゲート同士の接続中点はチップ内配線WR1の一端に接続されている。そして、入力段バッファの出力ノードND32を構成するPMOSトランジスタP31およびNMOSトランジスタN31のドレイン同士の接続中点はNMOSトランジスタN34を介して出力段バッファの入力ノードND33を構成するPMOSトランジスタP33およびNMOSトランジスタN33のゲート同士の接続中点に接続されている。NMOSトランジスタN34のゲートは電源電圧 $V_{CC}$ の供給ラインに接続されている。また、NMOSトランジスタN34およびノードND33の接続中点ND35と電源電圧 $V_{CC}$ の供給ラインとの間にレベルシフト回路としてのPMOSトランジスタP32が接続されている。PMOSトランジスタP32のゲートは出力段バッファの出力ノードND34を構成するPMOSトランジスタP33およびNMOSトランジスタN33のドレイン同士の接続中点に接続されている。

【0030】転送振幅変換回路10は、バーチャル電源電圧 $V_H$ の供給ラインとバーチャル接地電圧 $V_L$ の供給ラインとの間に接続されたCMOSインバータを構成するPMOSトランジスタP101およびNMOSトランジスタN101により構成されており、電源電圧 $V_{CC}$ レベルまたは接地レベルに設定されたドライバ回路2の出力信号レベルを受けて、バーチャル接地電圧 $V_L$ レベルまたはバーチャル電源電圧 $V_H$ レベルに変換してチップ内配線WR1に伝搬させる。

【0031】転送振幅変換回路10の入力ノードND101を構成するPMOSトランジスタP101およびNMOSトランジスタN101のゲート同士の接続中点はドライバ回路2の出力ノードND21に接続されている。また、転送振幅変換回路10の出力ノードND102を構成するPMOSトランジスタP101およびNMOSトランジスタN101のドレイン同士の接続中点はチップ内配線WR1の他端側に接続されている。

【0032】転送振幅変換回路10に供給されるバーチャル電源電圧 $V_H$ およびバーチャル接地電圧 $V_L$ は、電源電圧 $V_{CC}$ および接地GND（0V）に対して、次に示すような関係を満足するように設定される。

$$\dots (1)$$

発生を抑制し、レシーバ回路3Aの感度を向上させ、高速性を維持させている。

$$V_H > V_{CC} - V_{thNB} - |V_{thP}|$$

$$V_L < V_{thN}$$

ここで、 $V_{thNB}$ はレシーバ回路3AのPMOSトランジスタP32の基板バイアス効果による変動分を含むしきい値電圧、 $V_{thP}$ はレシーバ回路3AのPMOSトランジスタP31のしきい値電圧、 $V_{thN}$ はレシーバ回路3AのPMOSトランジスタP31のしきい値電圧（たとえば0.7V）をそれぞれ示している。本実施例では、電源電圧 $V_{CC}$ は3.3Vに設定され、バーチャル電源電圧 $V_H$ はたとえば1.5Vに設定され、バーチャル接地電圧 $V_L$ は0.5Vに設定されている。

【0034】そして、転送振幅変換回路10による転送振幅の小振幅への変換により、転送に伴う消費電力は、 $\{C_w(V_H - V_L) \cdot V_{CC} \cdot f\}$ となり、従来の消費電力の $(V_H - V_L) / V_{CC}$ と大幅に低減される。また、信号振幅を小さくしたことに伴い、動作速度の低下が懸念されるが、ドライバ回路2は $V_{CC}$ 系の論理振幅でドライブしており、十分な相互コンダクタンス $g_m$ が得られ、バーチャル接地電圧 $V_L$ を、レシーバ回路3Aの入力段バッファのNMOSトランジスタN31のソース

電位、すなわち接地電位(0V)より高い値である0.5Vに設定したことにより、十分なレシーバ回路3Aの感度を得られることから、動作速度の低下を招くことが

$$V_L = V_{thN} - (R_{111} \cdot I_1) \quad \dots (4)$$

したがって、バーチャル接地電圧 $V_L$ としきい値電圧 $V_{thN}$

$$V_L < V_{thN}$$

すなわち、上記(3)式と同様の関係が成り立ちバーチャル接地電圧 $V_L$ が生成されて転送振幅変換回路10のNMOSトランジスタN101のソースに供給される。

【0037】図3は、図2のバーチャル接地電圧発生回路の具体的な構成例を示す回路図である。図3に示すように、本回路は、PMOSトランジスタP111～P116、NMOSトランジスタN111～N114、抵抗素子R111～R113、およびキャパシタC111、C112により構成されている。

【0038】PMOSトランジスタP111、P112およびP114のソースは電源電圧 $V_{CC}$ の供給ラインに接続され、PMOSトランジスタP113のソースは抵抗素子R113を介して電源電圧 $V_{CC}$ の供給ラインに接続されている。これらPMOSトランジスタP111～P114のゲート同士は接続され、PMOSトランジスタP114のゲートはドレインに接続され、その接続中点は抵抗値の大きい抵抗素子R112を介して接地されている。このように接続されたPMOSトランジスタP111～P114は電流源を構成し、PMOSトランジスタP111のドレインから定電流 $I_1$ の供給が行われる。

【0039】また、PMOSトランジスタP115、P116、およびNMOSトランジスタN112、N113によりオペアンプ113が構成されている。PMOSトランジスタP115、P116のソースはPMOSトラ

$$\dots (2)$$

$$\dots (3)$$

ない。バーチャル電源電圧 $V_H$ についても同様である。

【0035】図2は、転送振幅変換回路10のNMOSトランジスタN101のソースにバーチャル接地電圧 $V_L$ を供給するバーチャル接地電圧発生回路110の一例を示す構成図である。バーチャル接地電圧発生回路110は、図2に示すように、NMOSトランジスタN111、抵抗素子R111、NMOSトランジスタの一般的なしきい値電圧 $V_{thN}$ 、たとえば0.7Vを供給する定電圧源111、定電流 $I_1$ を供給する定電流源112、および反転入力(−)に定電圧 $V_{thN}$ が供給され、非反転入力(+)に帰還電圧が供給され、出力がNMOSトランジスタN111のゲートに接続されたオペアンプ113により構成されている。また、NMOSトランジスタN111のソースは接地され、ドレインは抵抗素子R111を介して、オペアンプの非反転入力(+)および定電流源112の接続中点に接続されている。

【0036】この回路では、定電流 $I_1$ が抵抗素子R111に流れることにより、 $(R_{111} \cdot I_1)$ 、たとえば0.2Vで示される定電圧源が存在することと等価となり、バーチャル接地電圧 $V_L$ は次式で示すような値となる。

$$V_L = V_{thN} - (R_{111} \cdot I_1) \quad \dots (4)$$

$V_{thN}$ との間には次の関係が成り立つ。

$$\dots (5)$$

ンジスタP112のドレインに接続され、NMOSトランジスタN112、N113のソースは接地されている。そして、PMOSトランジスタP115およびNMOSトランジスタN112のドレイン同士が接続され、PMOSトランジスタP116およびNMOSトランジスタN113のドレイン同士が接続され、その接続中点はNMOSトランジスタN111のゲートに接続されている。NMOSトランジスタN112のドレインはNMOSトランジスタN112およびN113のゲートに接続されている。オペアンプ113の非反転入力(+)を構成するPMOSトランジスタP115のゲートはPMOSトランジスタP111のドレインおよび抵抗素子R111の一端に接続され、抵抗素子R111に並列にキャパシタC111が接続されている。オペアンプの反転入力(−)を構成するPMOSトランジスタP116のゲートはPMOSトランジスタP113のドレインおよびソースフォロウに構成されたNMOSトランジスタN114のドレインおよびゲートの接続中点に接続され、NMOSトランジスタN114のソースは接地されている。また、PMOSトランジスタP116のゲートと接地との間には雑音吸収用のキャパシタC112が接続されている。

【0040】本回路では、PMOSトランジスタP114およびP113により構成されるカレントミラー回路

によりPMOSトランジスタP113のドレイン側に微小電流を流し、PMOSトランジスタP116のゲート側に、NMOSトランジスタN114のしきい値電圧に相当する電圧 $V_{thN}$ を発生させている。

【0041】図4は、転送振幅変換回路10のPMOSトランジスタP101のソースにバーチャル電源電圧 $V_H$ を供給するバーチャル電源電圧発生回路120の一例を示す構成図である。バーチャル電源電圧発生回路120は、図4に示すように、ソースフォロワに接続されたNMOSトランジスタN121、PMOSトランジスタP121、122、抵抗素子R121、キャパシタC121、C122、定電流源121、122、および反転入力(−)に電圧 $\{V_{CC}-V_{thNB}-|V_{thP}|\}$ が供給され、非反転入力(+)に帰還電圧が供給され、出力がPMOSトランジスタP122のゲートに接続されたオペアンプ123により構成されている。また、PMOSトランジスタP122のソースは電源電圧 $V_{CC}$ の供給ラインに接続され、ドレインは抵抗素子R121介して、オペアンプ123の非反転入力(+)および定電流源1

$$V_H = V_{CC} - V_{thNB} - |V_{thP}| + (R121 \cdot I_2) \quad \dots (6)$$

したがって、バーチャル電源電圧 $V_H$ の関係が成り立つ

$$V_H > V_{CC} - V_{thNB} - |V_{thP}| \quad \dots (7)$$

すなわち、上記(2)式と同様の関係が成り立ちバーチャル電源電圧 $V_H$ が生成されて転送振幅変換回路10のPMOSトランジスタP101のソースに供給される。

【0044】図5は、図4のバーチャル電源電圧発生回路の具体的な構成例を示す回路図である。図5に示すように、本回路は、PMOSトランジスタP121~P124、NMOSトランジスタN121~N127、抵抗素子R121~R123、およびキャパシタC121、C122により構成されている。本回路は、図3の回路の極性を逆にした構成となっており、機能は図4を用いて説明したため、ここでは要部の接続関係について説明する。

【0045】NMOSトランジスタN122、P123およびP125のソースは接地GNDに接続され、NMOSトランジスタ124のソースは抵抗素子R123を介して接地GNDに接続されている。これらNMOSトランジスタN122~N125のゲート同士は接続され、NMOSトランジスタ125のゲートはドレインに接続され、その接続中点は抵抗素子R122を介して電源電圧 $V_{CC}$ の供給ラインに接続されている。このように接続されたPMOSトランジスタN122~N125は電流源を構成し、PMOSトランジスタP122のドレインから定電流 $I_2$ の供給が行われる。

【0046】オペアンプ123はNMOSトランジスタ126、N127、およびPMOSトランジスタP123、P124から構成されている。オペアンプ123の非反転入力(+)を構成するNMOSトランジスタN126のゲートはPMOSトランジスタP122のドレイ

22の接続中点に接続されている。NMOSトランジスタN121のゲートおよびドレインの接続中点は電源電圧 $V_{CC}$ の供給ラインに接続され、ソースはPMOSトランジスタP121のソースに接続されている。また、PMOSトランジスタP121のドレインはゲートと接続され、その接続中点がオペアンプの反転入力(−)に接続されている。

【0042】本回路では、定電流源121は微小電流 $\Delta I$ を供給し、PMOSトランジスタP121のドレイン側には、電源電圧 $V_{CC}$ から、NMOSトランジスタN1212の基板バイアス効果による変動分を含むしきい値電圧 $V_{thNB}$ およびPMOSトランジスタP121のしきい値電圧 $V_{thP}$ だけ降下させた電圧が供給され、オペアンプ123の反転入力(−)に供給される。

【0043】また、この回路では、定電流 $I_2$ が抵抗素子R121に流れることにより、 $(R121 \cdot I_2)$ で示される定電圧源が存在することと等価となり、バーチャル電源電圧 $V_H$ は次式で示すような値となる。

ように生成される。

ンおよび抵抗素子R121の一端に接続され、抵抗素子R121に並列にキャパシタC111が接続されている。オペアンプの反転入力(−)を構成するNMOSトランジスタP127のゲートはPMOSトランジスタP121のゲートおよびドレインに接続されている。

【0047】次に、上記構成による動作を、図6のタイミングチャートを参照しながら説明する。配線WR1に送出すべき信号SOは、ドライバ回路2によりそのレベルが反転されて、 $V_{CC}$ レベルまたは接地レベルでノードND21から転送振幅変換回路10に出力される。転送振幅変換回路10では、 $V_{CC}$ レベルの信号はバーチャル接地電圧 $V_L$ レベルに変換され、接地レベルの信号はバーチャル電源電圧 $V_H$ レベルに変換されて配線WR1に伝搬される。すなわち、ドライバ回路2による信号が電源電圧 $V_{CC}$ と接地との中間レベルをとる小振幅信号に変換されて配線WR1に送出される。そして、この転送振幅変換回路10による転送振幅の小振幅への変換によ

り、転送に伴う消費電力は、 $\{C_w (V_H - V_L) \cdot V_{CC} \cdot f\}$ となり、従来の消費電力の $(V_H - V_L) / V_{CC}$ と $1/3 \sim 1/4$ 程度にまで大幅に低減される。

【0048】配線WR1に伝搬された信号は、レシーバ回路3のPMOSトランジスタ31およびNMOSトランジスタN31のゲートに印加される。信号がバーチャル電源電圧 $V_H$ レベルで伝搬され、トランジスタのゲートに印加されたときには、NMOSトランジスタN31はオン状態となり、PMOSトランジスタP31はオフ状態となる。このとき、PMOSトランジスタP31のソース側の電位は、ソースフォロワのNMOSトランジ

スタN32により電源電圧 $V_{CC}$ から $V_{thNB}$ 分だけ降下したレベルに保持されており、バーチャル電源電圧 $V_H$ は、PMOSTランジスタP31のソース電位 $\{V_{CC}-V_{thNB}\}$ からPMOSTランジスタP31のしきい値電圧 $|V_{thP}|$ を引いた電圧より、 $(R121 \cdot I_2)$ だけ高い電圧に設定されていることから、完全にオフ状態に保持される。その結果、貫通電流が流れない。

【0049】したがって、配線WR1に伝搬された信号レベルがバーチャル電源電圧 $V_H$ レベルの場合にはレシーバ回路3Aの入力段バッファの出力ノードからは接地レベルの信号が出力される。この接地レベルの信号は、転送ゲートとしてのNMOSTランジスタN34を通過して出力段バッファのPMOSTランジスタP33およびNMOSTランジスタN33のゲートに入力される。その結果、PMOSTランジスタP33はオン状態に保持され、NMOSTランジスタN33はオフ状態に保持されることから、出力ノードND34からは電源電圧 $V_{CC}$ レベルの信号が出力される。この出力信号は、レベルシフト回路のPMOSTランジスタP32のゲートにも供給されていることから、PMOSTランジスタP32はオフ状態に保持され、ノードND35のレベルは接地レベルに保持される。

【0050】これに対して、信号がバーチャル接地電圧 $V_L$ レベルで伝搬され、ランジスタのゲートに印加されたときには、NMOSTランジスタN31はオフ状態となり、PMOSTランジスタP31はオン状態となる。このとき、PMOSTランジスタP31のソース側の電位は、ソースフォロワのNMOSTランジスタN32により電源電圧 $V_{CC}$ から $V_{thNB}$ 分だけ降下したレベルに保持されていることから、レシーバ回路3Aの入力段バッファの出力ノードND32からは $\{V_{CC}-V_{thNB}-|V_{thP}|\}$ レベルの信号が出力される。この $\{V_{CC}-V_{thNB}-|V_{thP}|\}$ レベルの信号は、転送ゲートとしてのNMOSTランジスタN34を通過して出力段バッファのPMOSTランジスタP33およびNMOSTランジスタN33のゲートに入力される。その結果、PMOSTランジスタP33はオフ状態に保持され、NMOSTランジスタN33はオン状態に保持されることから、出力ノードND34からは接地レベルの信号が出力される。この出力信号は、レベルシフト回路のPMOSTランジスタP32のゲートにも供給されていることから、PMOSTランジスタP32はオン状態に保持され、ノードND35のレベルは電源電圧 $V_{CC}$ レベルに保持されるようになり、出力段バッファからの接地レベルの信号出力が安定して行われる。

【0051】なお、本信号転送回路は、ドライバ回路2からレシーバ回路3Aの出力までCMOSインバータを4個通過することになるので、ドライバ回路2への入力信号レベルとレシーバ回路3Aの出力段バッファの出力信号は同レベルとなる。

【0052】以上説明したように、本実施例によれば、入力信号レベルを反転させて電源電圧 $V_{CC}$ レベルおよび接地レベルに設定して出力するドライバ回路2と、ドライバ回路2の出力信号を反転させて、 $\{V_{CC}-GND>V_H-V_L\}$ なる関係を満足するバーチャル電源電圧 $V_H$ レベルおよびバーチャル接地電圧 $V_L$ レベルに設定してチップ内配線WR1に伝搬させる転送振幅変換回路10と、電源電圧 $V_{CC}$ からしきい値電圧 $V_{thNB}$ だけ降下させて入力バッファとしてのCMOSインバータを構成するPMOSTランジスタP31のソース電位を $\{V_{CC}-V_{thNB}\}$ に保持させる電圧降下回路としてのNMOSTランジスタN32を備えたレシーバ回路3Aを設け、バーチャル電源電圧 $V_H$ レベルをPMOSTランジスタP31のソース電位 $\{V_{CC}-V_{thNB}\}$ からPMOSTランジスタP31のしきい値電圧 $|V_{thP}|$ を引いた電圧より高く設定し、バーチャル接地電圧 $V_L$ レベルを接地レベルより高く設定したので、チップ内配線は1本でよく、LSIチップ内のブロック間転送の配線に起因する消費電力および信号遅延を低減でき、高速性を維持しつつ、LSIの消費電力を低減できる。また、いわゆるレシーバ回路3Aにおける貫通電流の発生を防止でき、いわゆるノーマリ・オフの小振幅転送を実現できることから、携帯用AVおよびマルチメディア機器等に適する。

【0053】さらに、バーチャル電源電圧 $V_H$ およびバーチャル接地電圧 $V_L$ 発生回路の電圧発生回路に電圧降下回路のNMOSTランジスタN32と極性の等しいNMOSTランジスタN121、N114のソースフォロワを設け、これに基づいて基準となる電圧を発生させているため、レシーバ回路のプロセスバラツキや温度変動等による素子変動分を吸収でき、安定な信号転送を実現できる。

【0054】また、本実施例においては、転送振幅変換回路10の構成をCMOSインバータ型のものを例に説明したが、これに限定されるものではなく、たとえば図7に示すように、バーチャル電源電圧 $V_H$ の供給ラインとバーチャル接地電圧 $V_L$ の供給ラインとの間に2つのNMOSTランジスタN101、N102を直列に接続し、ドライバ回路2の出力信号をNMOSTランジスタN102のゲートに供給し、ドライバ回路2の出力信号をインバータIV101を介してNMOSTランジスタN101のゲートに供給するようにした、いわゆるプッシュプル型転送振幅変換回路10Aを適用できる。本構成によっても、上述した効果と同様の効果を得ることができる。

【0055】また、本実施例では、レシーバ回路3Aに転送ゲートとしてのNMOSTランジスタN34を設けた構成を例に説明したが、図8に示すような転送ゲートを設けない構成であっても上述した効果と同様の効果を得ることができる。

【0056】また、本実施例では、レシーバ回路の入力



段バッファの電源電圧 $V_{CC}$ 側に電圧降下回路を設けた例について説明したが、接地側に設けた構成でも本発明が適用できることはいうまでもない。

#### 【0057】

【発明の効果】以上説明したように、本実施例によれば、チップ内配線は1本でよく、LSIチップ内のブロック間転送の配線に起因する消費電力および信号遅延を低減でき、高速性を維持しつつ、LSIの消費電力を低減できる。

【0058】また、第3および第4の電源電位発生回路の電圧発生回路に電圧降下回路のMOSトランジスタと極性の等しいMOSトランジスタのソースフォロウを設け、これに基づいて基準となる電圧を発生させているため、レシーバ回路のプロセスバラツキや温度変動等による素子変動分を吸収でき、安定な信号転送を実現できる。

#### 【図面の簡単な説明】

【図1】本発明に係る信号転送回路の一実施例を示す回路図である。

【図2】本発明に係るバーチャル接地電圧発生回路の一例を示す構成図である。

【図3】図2のバーチャル接地電圧発生回路の具体的な構成例を示す回路図である。

【図4】本発明に係るバーチャル電源電圧発生回路の一例を示す構成図である。

【図5】図4のバーチャル電源電圧発生回路の具体的な構成例を示す回路図である。

【図6】図1の回路の要部におけるタイミングチャートである。

【図7】本発明に係る転送振幅変換回路の他の構成例を示す回路図である。

【図8】本発明に係るレシーバ回路の他の構成例を示す

回路図である。

【図9】LSIチップ内の説明図である。

【図10】チップ内配線WRを介して接続される一般的なドライバ回路およびレシーバ回路からなる信号転送回路の構成例を示す回路図である。

【図11】SRAM回路等で採用されている従来の小振幅信号転送回路の構成例を示す回路図である。

【図12】GTLに基づく小振幅転送回路の構成例を示す回路図である。

10 【図13】ドライバ回路側を電源電圧を3V系および1Vの2系統に分けた小振幅転送回路の構成例を示す回路図である。

#### 【符号の説明】

2…ドライバ回路

3A, 3B…レシーバ回路

P31~P33…PMOSトランジスタ

N31~N34…NMOSトランジスタ

10, 10A…転送振幅変換回路

P101…PMOSトランジスタ

20 N101, N102…NMOSトランジスタ

110…バーチャル接地電圧発生回路

111…定電圧源

112…定電流源

113…オペアンプ

R111…抵抗素子

N111…NMOSトランジスタ

120…バーチャル電源電圧発生回路

121, 122…定電流源

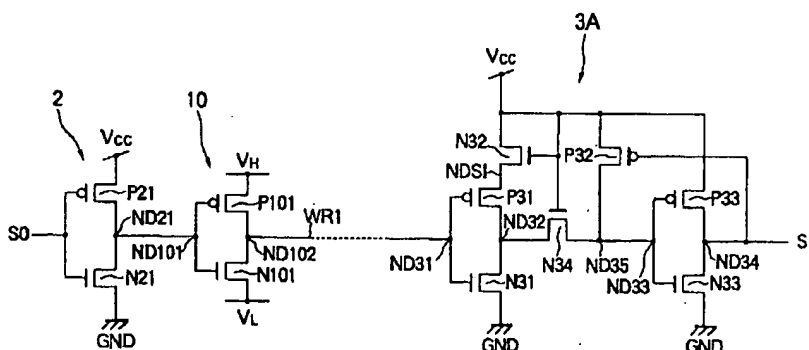
123…オペアンプ

30 R121…抵抗素子

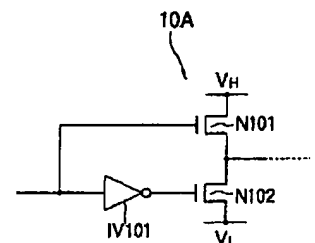
N121…NMOSトランジスタ

P121, P122…PMOSトランジスタ

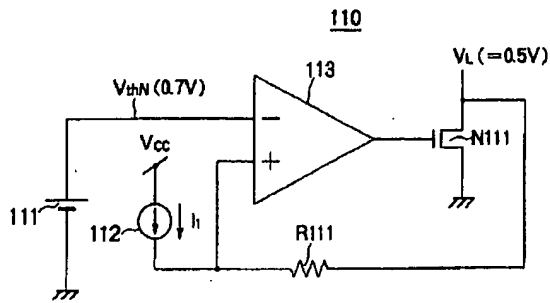
【図1】



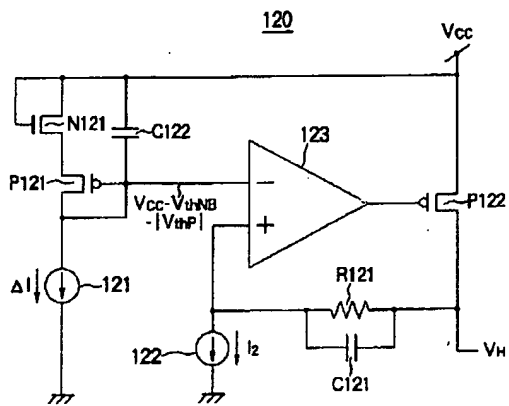
【図7】



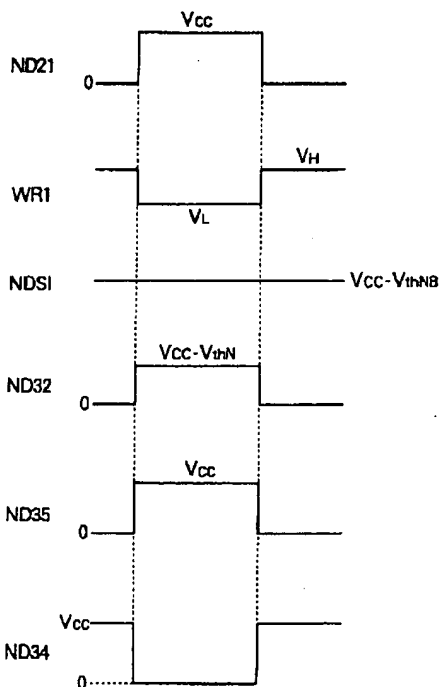
【図 2】



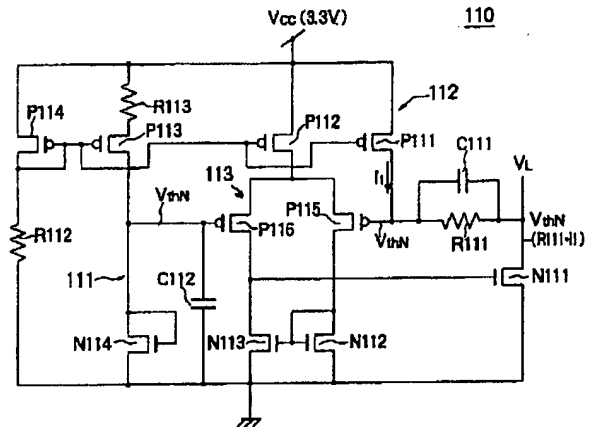
【図 4】



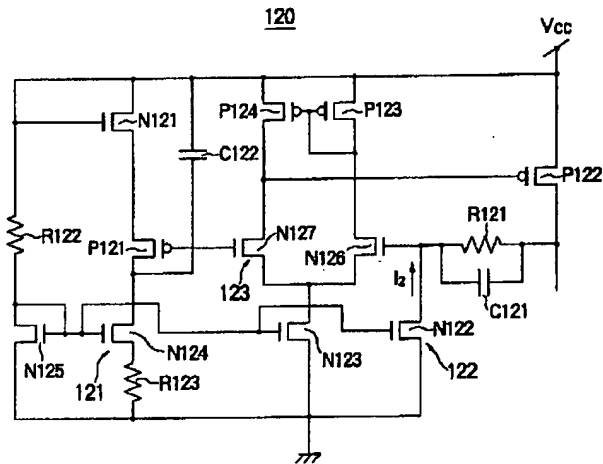
【図 6】



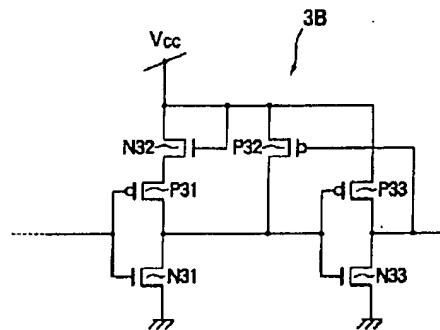
【図 3】



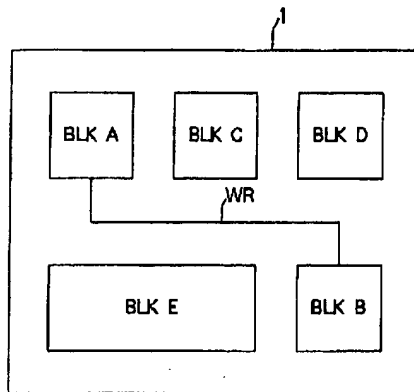
【図 5】



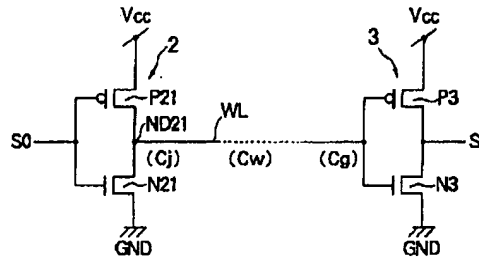
【図 8】



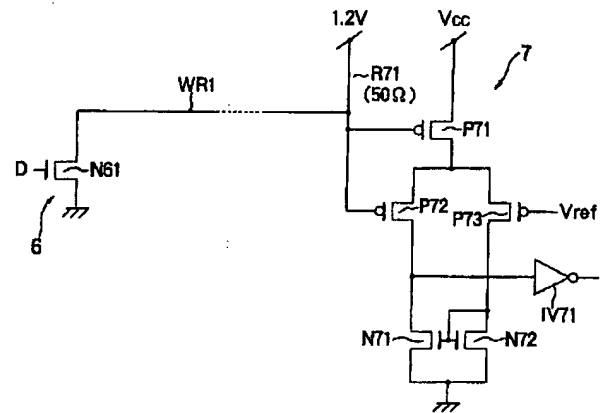
【図9】



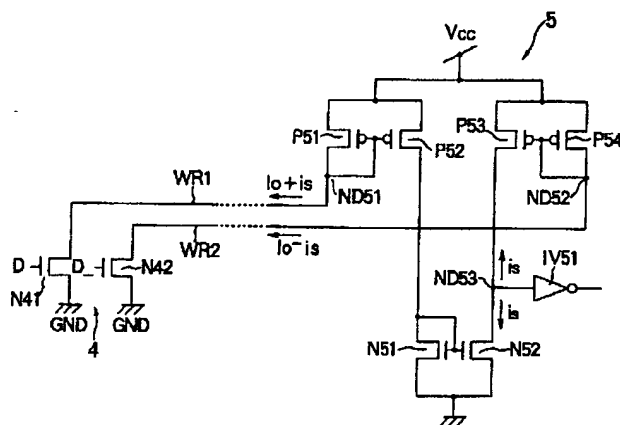
【図10】



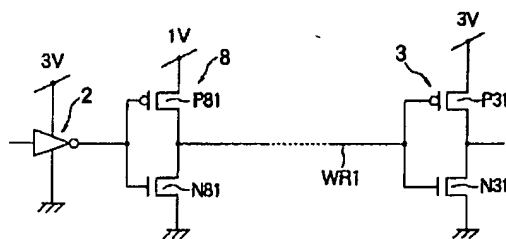
【図12】



【図11】



【図13】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/00  
19/094

1 0 1 F  
B

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention is between each block for example, in an LSI chip, and relates to the signal transfer circuit for transmitting a signal.

[0002]

[Description of the Prior Art] Generally, as shown in drawing 9, the inside of LSI chip 1 is divided into two or more blocks BLKA and BLKB, --, BLKE, and it connects with the wiring WR in a chip between each block, respectively. And the signal transfer during each block is performed through the wiring WR in a chip. Sending out of a signal is performed by the driver circuit in the block which transmits a signal, and reception of a signal is performed by the receiver circuit in the block which receives a signal.

[0003] Drawing 10 is the circuit diagram showing the example of composition of a signal transfer circuit which consists of a common driver circuit connected through the wiring WR1 in a chip, and a receiver circuit. In drawing 10, in a driver circuit and 3, a receiver circuit and VCC show supply voltage and GND shows [ 2 ] grounding, respectively. The driver circuit 2 and the receiver circuit 3 of this signal transfer circuit are constituted by the CMOS inverter which comes to connect the drain and gate of the PMOS transistor P21, the NMOS transistor N21 and the PMOS transistor P31, and the NMOS transistor N31, respectively.

[0004] In such composition, the level is reversed with a driver circuit 2, and the signal SO which should be sent out to wiring WR1 is spread from a node ND 21 to wiring WR1 on VCC level or grounding level. The signal spread to wiring WR1 is impressed to the gate of the PMOS transistor 31 of the receiver circuit 3, and the NMOS transistor N31, and is changed into the original signal level.

[0005] By the way, it is in the inclination for the length of the wiring WR for the interblock transfer in a chip 1 to become long, with large-scale-izing of LSI in recent years, and increase of the power consumption and the wiring delay resulting from this has been a problem.

[0006] The capacity Cs in the output node ND 21 of a driver circuit 2 needs to serve as total ( $C_s = C_j + C_w + C_g$ ) of the drain capacity Cj of a driver circuit 2, the capacity Cw of Wiring WR, and the gate capacitance Cg of the receiver circuit 3, and it is necessary to consume the power which carries out the charge and discharge of the part for this capacity Cs for a signal transfer. Although power

consumption is expressed with  $\{C_s - V_{cc2} \text{ and } f\}$ , the capacity  $C_w$  of Wiring WR is becoming active among the total capacity  $C_s$  with detailed-izing of the design rule of LSI, and large chip-ization.

[0007] In order to reduce the power consumption by the capacity  $C_w$  of the interblock wiring WR which shows a rate with this remarkable capacity  $C_s$ , as conventionally shown in drawing 11 - drawing 13, some small-size width-of-face signal transfer circuits are proposed that what is necessary is to lower voltage, to make a signal amplitude small and just to transmit it.

[0008] Drawing 11 is the circuit diagram showing the example of composition of the conventional small-size width-of-face signal transfer circuit adopted in the SRAM circuit etc. In drawing 11, in 4, a driver circuit and 5 show WR1 and a receiver circuit and WR2 show the wiring in a chip, respectively. The driver circuit 4 is constituted by the NMOS transistors N41 and N42 for signal current adjustment connected between the wiring WR1 and WR2 in a chip, and Grounding GND. Data signals D and D which take a complementary value in the gate of the NMO transistors N41 and N42 It is supplied.

[0009] The receiver circuit 5 is constituted by the PMOS transistors P51-P54, the NMOS transistors N51 and N52, and the inverter IV51. The source of the PMOS transistors P51-P54 is connected to the supply line of supply voltage VCC, and the source of the NMOS transistors N51 and N52 is grounded. The gates of the PMOS transistors P51 and P52, the PMOS transistors P53 and P54, and the NMOS transistors N51 and N52 are connected. The drain of the PMOS transistor P51 is connected to the gate, and the node ND 51 which are these connection middle points is connected to the end of wiring WR1. The drain of the PMOS transistor P54 is connected to the gate, and the node ND 52 which are these connection middle points is connected to the end of wiring WR2. The drain of the NMOS transistor N51 is connected to the gate, and these connection middle points are connected to the drain of the PMOS transistor P52. Moreover, connection \*\* of the drains of the NMOS transistor N52 and the PMOS transistor P53 is carried out, and the node ND 53 which are these connection middle points is connected to the input of an inverter IV51.

[0010] Data signals D and D which take a complementary value in such composition to the gate of the NMOS transistors N41 and N42 of a driver circuit 4 It is supplied, and according to those supply voltage values, the signal current ( $I_{0+is}$ ) and ( $I_{0-is}$ ) flow to the wiring WR1 and WR2 in a chip as the data line, and the size is determined. And a signal transfer is started when the signal current flows. If the signal current ( $I_{0+is}$ ) and ( $I_{0-is}$ ) flow, the potential of the node ND 51 of the receiver circuit 5 will fall, and the potential of a node ND 52 will go up. The signal amplified by the differential amplifier constituted by this by the current Miller circuit which consists of PMOS transistors P52 and P53 and NMOS transistors N51 and N52 is outputted to an inverter IV51 from a node ND 53.

[0011] Drawing 12 is the circuit diagram showing the example of composition of a small-size width-of-face transfer circuit based on GTL (Gunning Tranceiver Logic). In drawing 12, in 6, a driver circuit and 7 show the receiver circuit and WR1 shows the wiring in a chip, respectively. A driver circuit 6 is constituted by the NMOS transistor N61 for signal current adjustment connected between the wiring

WR1 in a chip, and Grounding GND, and determines the size of the signal current according to data signal D supplied to the gate of the NMOS transistor N61.

[0012] The receiver circuit 7 is constituted by the PMOS transistors P71-P73, the NMOS transistors N71 and N72, the 50-ohm resistance element R71, and the inverter IV71. The source of the PMOS transistor P71 is connected to the supply line of supply voltage VCC, and the drain is connected to the source of the PMOS transistors P72 and P73. The drain of the PMOS transistors P72 and P73 is connected to the drain of the NMOS transistors N71 and N72, respectively, and the source of the NMOS transistors N71 and N72 is grounded. And as for the NMOS transistors N71 and N72, the gates are connected, and the drain of the NMOS transistor N72 is connected to the gate. And the gate of the PMOS transistors P71 and P72 is connected to the end of wiring WR1, and these connection middle points are connected to the supply line of voltage 1.2V through the 50-ohm resistance element R71.

[0013] In such composition, the reference voltage Vref (for example, 0.8V) is supplied to the gate of the PMOS transistor P73 which constitutes the differential amplifier, data signal D is supplied to the gate of the NMOS transistor N61 of a driver circuit 6, according to a supply voltage value, the signal current flows to the wiring WR1 in a chip as the data line, and the size is determined. And a signal transfer is started when the signal current flows. In the receiver circuit 7, when the signal current flows [ the signal transmitted, for example ] by high level "1", the voltage of a node ND 71 is set to 1.2V, when the signal current does not flow by 0.4V and the low level. The signal amplified by the differential amplifier constituted by this by the current Miller circuit which consists of PMOS transistors P72 and P73 and NMOS transistors N71 and N72 is outputted to an inverter IV71 from a node ND 72.

[0014] Drawing 13 is the circuit diagram showing the example of composition of the small-size width-of-face transfer circuit which divided the supply voltage by the side of a driver circuit into two lines, 3V system and 1V system. Unlike the circuit of drawing 10, this circuit divides supply voltage into two lines, 3V system and 1V system. The gate of the PMOS transistor P81 which usually took 3V and grounding level for the signal amplitude, and used the supply voltage of 1V system only at the time of a transfer, and the NMOS transistor N81, It is the circuit sets it as 1V and grounding level with the CMOS inverter type buffer 8 which comes to connect drains, and transmits, and it was made to reconfigure to 3V in the receiver circuit 3.

[0015]

[Problem(s) to be Solved by the Invention] Although the circuit of drawing 11 has a quick transfer rate, it has a problem of the-two wiring as the data line being required, and getting impudent in increase of the number of the wiring in a chip accompanying large-scale-izing of LSI. Moreover, increase of power consumption is caused from it being in an ON state in DC during a data transfer period.

[0016] Similarly, in the circuit of drawing 12, with data, since it is in an ON state during a data transfer period, it causes increase of power consumption.

[0017] Moreover, in the circuit of drawing 13, when transfer level is 1V, the penetration current of the receiver circuit 3 occurs. Moreover, the gate voltage of

the NMOS transistor N31 is low, drive capacity is small, and a problem is in rapidity.

[0018] this invention is made in view of this situation, and it is to offer the signal transfer circuit which can reduce the power consumption of LSI, the purpose being able to reduce the power consumption and signal delay resulting from wiring of the interblock transfer in an LSI chip, and maintaining rapidity.

[0019]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the signal transfer circuit of this invention The driver circuit set up and outputted to the level of the 1st power supply potential or the 2nd power supply potential according to the signal level which should be transmitted, The transfer amplitude-conversion circuit which changes and outputs the output signal of the above-mentioned driver circuit to the level of the 3rd power supply potential or the 4th power supply potential according to the level, The voltage drop circuit where it connects in series between the 1st power supply potential and the 2nd power supply potential, and only predetermined potential drops the 1st power supply potential or the 2nd power supply potential, It has the receiver circuit which has the buffer circuit which sets up and outputs the output signal of the above-mentioned transfer amplitude-conversion circuit to the level of the potential to which only predetermined potential descended and the 2nd power supply potential, or the 1st power supply potential. The potential difference of the power supply potential of the above 3rd and the 4th power supply potential is set up smaller than the potential difference of the 1st power supply potential and the 2nd power supply potential.

[0020] The above-mentioned voltage drop circuit is constituted for the signal transfer circuit of this invention by the source follower of an MOS transistor. moreover, the buffer circuit of the above-mentioned receiver circuit It is constituted by the CMOS circuit which connected the PMOS transistor and the NMOS transistor in series between a voltage drop circuit, the 2nd power supply potential, or the 1st power supply potential. The power supply potential of the above 3rd is set up more than the potential which deducted a part for the threshold of the threshold of the MOS transistor of the above-mentioned voltage drop circuit, and the PMOS transistor of the above-mentioned buffer circuit from the 1st power supply potential at least. The power supply potential of the above 4th is set at least below to the sum total potential of the threshold of the MOS transistor of the above-mentioned voltage drop circuit, and the threshold of the NMOS transistor of the above-mentioned buffer circuit.

[0021] Moreover, the power supply potential of the above 4th is higher than the power supply potential of the above 2nd, and the signal transfer circuit of this invention is set up.

[0022] Moreover, the signal transfer circuit of this invention is connected to an operational amplifier and the 1st or 2nd power supply potential. It has the source follower of the MOS transistor of the above-mentioned voltage drop circuit, and a polar equal MOS transistor. The voltage which made the amount of [ of the MOS transistor concerned ] threshold descend from the 1st or 2nd power supply potential at least is generated. The voltage generating circuit of the above-

mentioned operational amplifier supplied to the force much more, The gate is connected to the output of the above-mentioned operational amplifier, and the source is connected to the 1st or 2nd power supply potential. An MOS transistor equal to the polarity of the MOS transistor connected with the above-mentioned voltage drop circuit of the above-mentioned buffer circuit where the drain was connected to the other inputs of the above-mentioned operational amplifier through the resistance element, The 3rd power supply potential generating circuit which consists of a current source which supplies predetermined current to the above-mentioned resistance element, Connect with an operational amplifier and the 2nd or 1st power supply potential, and it has the source follower of the MOS transistor of the above-mentioned voltage drop circuit, and a polar equal MOS transistor. The voltage equivalent to the total value of the threshold of an MOS transistor equal to the polarity of the MOS transistor connected with the above-mentioned voltage drop circuit of the threshold of the MOS transistor concerned and the above-mentioned buffer circuit at least is generated. The voltage generating circuit of the above-mentioned operational amplifier supplied to the force much more, The gate is connected to the output of the above-mentioned operational amplifier, and the source is connected to the 2nd or 1st power supply potential. An MOS transistor equal to the polarity of the MOS transistor connected with the above-mentioned voltage drop circuit of the above-mentioned buffer circuit where the drain was connected to the other inputs of the above-mentioned operational amplifier through the resistance element, It has the 4th power supply potential generating circuit which consists of a current source which supplies predetermined current to the above-mentioned resistance element.

[0023]

[Function] According to this invention, the signal which should be transmitted is set as the level of the 1st power supply potential or the 2nd power supply potential by the drive circuit according to the level, and is outputted to a transfer amplitude-conversion circuit. In a transfer amplitude-conversion circuit, the level of the output signal of a driver circuit is changed into the level of the 3rd power supply potential or the 4th power supply potential according to the input level, and spreads to transfer wiring. The potential difference of the 3rd power supply potential and the 4th power supply potential which are the transfer level at this time is set up smaller than the potential difference of the 1st power supply potential and the 2nd power supply potential, and a small-size width-of-face transfer is performed. Therefore, power consumption is reduced. The signal by which transfer wiring was spread is inputted into a receiver circuit, and is set as the level of the potential to which only predetermined potential descended according to the input level and the 2nd power supply potential, or the 1st power supply potential.

[0024] According to this invention, a voltage drop circuit is constituted by the source follower of an MOS transistor. moreover, the buffer circuit of a receiver circuit It is constituted by the CMOS circuit which connected the PMOS transistor and the NMOS transistor in series between a voltage drop circuit, the 2nd power supply potential, or the 1st power supply potential. The 3rd power supply potential is set up more than the potential which deducted a part for the threshold of the



threshold of the MOS transistor of a voltage drop circuit, and the PMOS transistor of a buffer circuit from the 1st power supply potential at least. Holding high-speed operation by setting the 4th power supply potential at least below to the sum total potential of the threshold of the MOS transistor of a voltage drop circuit, and the threshold of the NMOS transistor of the above-mentioned buffer circuit, generating of penetration current is prevented and power consumption is reduced.

[0025] Moreover, according to this invention, the source follower of the MOS transistor of a voltage drop circuit and a polar equal MOS transistor is prepared in the voltage generating circuit of the 3rd and 4th power supply potential generating circuits, and since the voltage which serves as criteria based on this is generated, a part for the element change by the process variation of a receiver circuit, temperature change, etc. is absorbed.

[0026]

[Example] Drawing 1 is the circuit diagram showing one example of the signal transfer circuit concerning this invention, and the same component as drawing 9 which shows the conventional example is expressed with the same sign. That is, for a receiver circuit and 10, a transfer amplitude-conversion circuit and VCC are [ 2 / a drive circuit and 3A ] supply voltage (for example, 3.3V) and V<sub>H</sub>. Virtual supply voltage (for example, 1.5V) and V<sub>L</sub> Virtual grounding voltage (for example, 0.5V) is shown, respectively.

[0027] It is constituted by the PMOS transistors P31-P33 and the NMOS transistors N31-N34, and receiver circuit 3A is the virtual supply voltage V<sub>H</sub>. Level or virtual grounding potential V<sub>L</sub> It changes into the original supply voltage VCC level and grounding GND level in response to the transfer signal by which the wiring in a chip was spread with level. The gate and the drains of the PMOS transistor P31 and the NMOS transistor N31 are connected, a CMOS inverter type input-stage buffer is constituted, the gate and the drains of the PMOS transistor P33 and the NMOS transistor N33 are connected, and the CMOS inverter type output-stage buffer is constituted.

[0028] Between the sources of the PMOS transistor P31 and the supply lines of supply voltage VCC which constitute an input-stage buffer, the NMOS transistor N32 as a voltage drop circuit constituted by the so-called source-follower type to which the gate and the drain were connected is connected in series. Specifically, the source of the NMOS transistor N32 is connected to the source of the PMOS transistor P31, and the connection middle point of a drain and the gate is connected to the supply line of supply voltage VCC. Thereby, the potential of the node NDSI by the side of the source of the PMOS transistor P31 is held at {VCC-V<sub>thNB</sub>}. Here, V<sub>thNB</sub> shows the threshold voltage containing a changed part by the substrate bias effect of the NMOS transistor N32.

[0029] Moreover, the connection middle point of the gates of the PMOS transistor P31 which constitutes the input node ND 31 of an input-stage buffer, and the NMOS transistor N31 is connected to the end of the wiring WR1 in a chip. And the connection middle point of the drains of the PMOS transistor P31 which constitutes the output node ND 32 of an input-stage buffer, and the NMOS transistor N31 is connected to the connection middle point of the gates of the PMOS transistor P33 which constitutes the input node ND 33 of an output-stage buffer through the

NMOS transistor N34, and the NMOS transistor N33. The gate of the NMOS transistor N34 is connected to the supply line of supply voltage VCC. Moreover, the PMOS transistor P32 as a level shift circuit is connected between the connection middle point ND 35 of the NMOS transistor N34 and a node ND 33, and the supply line of supply voltage VCC. The gate of the PMOS transistor P32 is connected to the connection middle point of the drains of the PMOS transistor P33 which constitutes the output node ND 34 of an output-stage buffer, and the NMOS transistor N33.

[0030] The transfer amplitude-conversion circuit 10 is the virtual supply voltage VH. A supply line and virtual grounding voltage VL It is constituted by the PMOS transistor P101 and the NMOS transistor N101 which constitute the CMOS inverter connected between supply lines, the output signal level of the driver circuit 2 set as supply voltage VCC level or grounding level is received, and it is the virtual grounding voltage VL. Level or virtual supply voltage VH It changes into level and the wiring WR1 in a chip is made to spread.

[0031] The connection middle point of the gates of the PMOS transistor P101 which constitutes the input node ND 101 of the transfer amplitude-conversion circuit 10, and the NMOS transistor N101 is connected to the output node ND 21 of a driver circuit 2. Moreover, the connection middle point of the drains of the PMOS transistor P101 which constitutes the output node ND 102 of the transfer amplitude-conversion circuit 10, and the NMOS transistor N101 is connected to the other end side of the wiring WR1 in a chip.

[0032] Virtual supply voltage VH supplied to the transfer amplitude-conversion circuit 10 And virtual grounding voltage VL It is set up so that a relation as shown below may be satisfied to supply voltage VCC and Grounding GND (0V).

$$VCC - GND > V_H - V_L \quad \text{-- (1)}$$

[0033] Furthermore, virtual supply voltage VH And virtual grounding voltage VL It is set as the value with which are satisfied of the next relation, generating of the penetration current of the input-stage buffer of receiver circuit 3A is suppressed, the sensitivity of receiver circuit 3A is raised, and rapidity is maintained.

$$V_H > VCC - V_{thNB} - |V_{thP}| \quad \text{-- (2)}$$

$$V_L < V_{thN} \quad \text{-- (3)}$$

Here,  $V_{thNB}$  is the threshold voltage and  $V_{thP}$  containing a changed part by the substrate bias effect of the PMOS transistor P32 of receiver circuit 3A. The threshold voltage of the PMOS transistor P31 of receiver circuit 3A, and  $V_{thN}$  The threshold voltage (for example, 0.7V) of the PMOS transistor P31 of receiver circuit 3A is shown, respectively. At this example, it is set as 3.3V, the virtual supply voltage VH is set as 1.5V, and supply voltage VCC is the virtual grounding voltage VL. It is set as 0.5V.

[0034] And the power consumption accompanying a transfer serves as  $\{C_w (V_H - V_L) \text{ and } VCC \cdot f\}$ , and is sharply reduced by conversion to the small-size width of face of a transfer amplitude by the transfer amplitude-conversion circuit 10 with  $(V_H - V_L)$  of the conventional power consumption / VCC. Moreover, although we are anxious about the fall of a working speed in connection with having made the signal amplitude small It is driving with the logic amplitude of a VCC system, and a driver circuit 2 is sufficient mutual conductance gm. It is obtained. Virtual

grounding voltage VL By having set it as 0.5V which are a high, the source potential (0V), i.e., the grounding potential, of the NMOS transistor N31 of receiver circuit 3A, value [ of an input-stage buffer ] Since the sensitivity of sufficient receiver circuit 3A can be obtained, the fall of a working speed is not caused. The same is said of the virtual supply voltage VH.

[0035] Drawing 2 is the virtual grounding voltage VL to the source of the NMOS transistor N101 of the transfer amplitude-conversion circuit 10. It is the block diagram showing an example of the virtual grounding voltage generating circuit 110 to supply. As the virtual grounding voltage generating circuit 110 is shown in drawing 2, the general threshold voltage  $V_{thN}$  of the NMOS transistor N111, a resistance element R111, and an NMOS transistor For example, the source 111 of a constant voltage and constant current I1 which supply 0.7V It is a constant voltage  $V_{thN}$  to the constant current source 112 to supply and a reversal input (-). It is supplied. Feedback voltage is supplied to a noninverting input (+), and the output is constituted by the operational amplifier 113 connected to the gate of the NMOS transistor N111. Moreover, the source of the NMOS transistor N111 is grounded, and a drain is minded resistance-element R111 and connected to the noninverting input (+) of an operational amplifier, and the connection middle point of a constant current source 112.

[0036] In this circuit, it is a constant current I1. By flowing to a resistance element R111, it becomes equivalent to the source of a constant voltage shown by (R111 and I1, 0.2V [ for example, ]) existing, and is the virtual grounding voltage VL. It becomes a value as shown by the following formula.

$$VL = V_{thN} - (R111 \text{ and } I1) \text{ -- (4)}$$

Therefore, virtual grounding voltage VL Threshold voltage  $V_{thN}$  In between, the next relation is realized.

$$VL < V_{thN} \text{ -- (5)}$$

That is, the same relation as the above-mentioned (3) formula changes, and it is the \*\*\*\* virtual grounding voltage VL. It is generated and the source of the NMOS transistor N101 of the transfer amplitude-conversion circuit 10 is supplied.

[0037] Drawing 3 is the circuit diagram showing the concrete example of composition of the virtual grounding voltage generating circuit of drawing 2. This circuit is constituted by the PMOS transistors P111-P116, the NMOS transistors N111-N114, resistance elements R111-R113, and capacitors C111 and C112 as shown in drawing 3.

[0038] The source of the PMOS transistors P111, P112, and P114 is connected to the supply line of supply voltage VCC, and the source of the PMOS transistor 113 is connected to the supply line of supply voltage VCC through the resistance element R113. The gates of these PMOS transistors P111-P114 are connected, the gate of the PMOS transistor 114 is connected to a drain, and the connection middle point is grounded through the resistance element R112 with large resistance. Thus, the connected PMOS transistors P111-P114 constitute a current source, and are constant currents I1 from the drain of the PMOS transistor P111. Supply is performed.

[0039] Moreover, the operational amplifier 113 is constituted by the PMOS transistors P115 and P116 and the NMOS transistors N112 and N113. The source

of the PMOS transistor P115,116 is connected to the drain of the PMOS transistor P112, and the source of the NMOS transistors N112 and N113 is grounded. And the drains of the PMOS transistor P115 and the NMOS transistor N112 are connected, the drains of the PMOS transistor P116 and the NMOS transistor N113 are connected, and the connection middle point is connected to the gate of the NMOS transistor 111. The drain of the NMOS transistor 112 is connected to the NMOS transistor 112 and the gate of N113. The gate of the PMOS transistor P115 which constitutes the noninverting input (+) of an operational amplifier 113 is connected to the drain of the PMOS transistor P111, and the end of a resistance element R111, and the capacitor C111 is connected in parallel with a resistance element R111. The gate of the PMOS transistor P116 which constitutes the reversal input (-) of an operational amplifier is connected to the drain of the NMOS transistor N114 constituted by the drain and source follower of the PMOS transistor P113, and the connection middle point of the gate, and the source of the NMOS transistor N114 is grounded. Moreover, between the gate of the PMOS transistor P116, and grounding, the capacitor C112 for noise absorption is connected.

[0040] Voltage  $V_{thN}$  which passes minute current to the drain side of the PMOS transistor P113 in this circuit by the current Miller circuit constituted by the PMOS transistors P114 and P113, and is equivalent to the threshold voltage of the NMOS transistor N114 at the gate side of the PMOS transistor P116 It is made to generate.

[0041] Drawing 4 is the virtual supply voltage  $V_H$  to the source of the PMOS transistor P101 of the transfer amplitude-conversion circuit 10. It is the block diagram showing an example of the virtual supply voltage generating circuit 120 to supply. Voltage  $\{V_{CC}-V_{thNB}-|V_{thP}|\}$  is supplied to the NMOS transistor N121 connected to the source follower, the PMOS transistor P121,122, a resistance element R121, capacitors C121 and C122, a constant current source 121,122, and a reversal input (-), feedback voltage is supplied to a noninverting input (+), and the virtual supply voltage generating circuit 120 is constituted by the operational amplifier 123 by which the output was connected to the gate of the PMOS transistor P122, as shown in drawing 4. Moreover, the source of the PMOS transistor P122 is connected to the supply line of supply voltage  $V_{CC}$ , and a drain is minded resistance-element R121 and connected to the noninverting input (+) of an operational amplifier 123, and the connection middle point of a constant current source 122. The gate of the NMOS transistor N121 and the connection middle point of a drain are connected to the supply line of supply voltage  $V_{CC}$ , and the source is connected to the source of the PMOS transistor P121. Moreover, the drain of the PMOS transistor P121 is connected with the gate, and the connection middle point is connected to the reversal input (-) of an operational amplifier.

[0042] the threshold voltage  $V_{thNB}$  which a constant current source 121 supplies  $\Delta I$  for minute current, and contains a changed part by the substrate bias effect of the NMOS transistor N1212 in the drain side of the PMOS transistor P121 from supply voltage  $V_{CC}$  in this circuit, and threshold voltage  $V_{thP}$  of the PMOS transistor P121 only -- the dropped voltage is supplied and the reversal input (-) of an operational amplifier 123 is supplied

[0043] Moreover, in this circuit, it is a constant current  $I_2$ . By flowing to a resistance element R121, it becomes equivalent to the source of a constant voltage shown by (R121 and  $I_2$ ) existing, and is the virtual supply voltage  $V_H$ . It becomes a value as shown by the following formula.

$$V_H = V_{CC} - V_{thNB} - |V_{thP}| + (R_{121} \text{ and } I_2) \quad \text{-- (6)}$$

Therefore, virtual supply voltage  $V_H$  It is generated so that a relation may be realized.

$$V_H > V_{CC} - V_{thNB} - |V_{thP}| \quad \text{-- (7)}$$

That is, the same relation as the above-mentioned (2) formula changes, and it is the \*\*\*\* virtual supply voltage  $V_H$ . It is generated and the source of the PMOS transistor P101 of the transfer amplitude-conversion circuit 10 is supplied.

[0044] Drawing 5 is the circuit diagram showing the concrete example of composition of the virtual supply voltage generating circuit of drawing 4. This circuit is constituted by the PMOS transistors P121-P124, the NMOS transistors N121-N127, resistance elements R121-R123, and capacitors C121 and C122 as shown in drawing 5. This circuit has composition which made polarity of the circuit of drawing 3 reverse, and since the function was explained using drawing 4, it explains the connection relation of an important section here.

[0045] The source of the NMOS transistors N122, P123, and P125 is connected to Grounding GND, and the source of the NMOS transistor 124 is connected to Grounding GND through the resistance element R123. The gates of these NMOS transistors N122-N125 are connected, the gate of the NMOS transistor 125 is connected to a drain, and the connection middle point is connected to the supply line of supply voltage VCC through the resistance element R122. Thus, the connected PMOS transistors N122-N125 constitute a current source, and are constant currents  $I_2$  from the drain of the PMOS transistor P122. Supply is performed.

[0046] The operational amplifier 123 consists of an NMOS transistor 126, N127, and PMOS transistors P123 and P124. The gate of the NMOS transistor N126 which constitutes the noninverting input (+) of an operational amplifier 123 is connected to the drain of the PMOS transistor P122, and the end of a resistance element R121, and the capacitor C111 is connected in parallel with a resistance element R121. The gate of the NMOS transistor P127 which constitutes the reversal input (-) of an operational amplifier is connected to the gate and the drain of the PMOS transistor P121.

[0047] Next, operation by the above-mentioned composition is explained, referring to the timing chart of drawing 6. The level is reversed with a driver circuit 2, and the signal SO which should be sent out to wiring WR1 is outputted to the transfer amplitude-conversion circuit 10 from a node ND 21 on VCC level or grounding level. In the transfer amplitude-conversion circuit 10, the signal of VCC level is the virtual grounding voltage  $V_L$ . It is changed into level and the signal of grounding level is the virtual supply voltage  $V_H$ . It is changed into level and spread to wiring WR1. That is, the signal by the driver circuit 2 is changed into the small-size width-of-face signal which takes the middle level of supply voltage VCC and grounding, and is sent out to wiring WR1. And by conversion to the small-size width of face of a transfer amplitude by this transfer amplitude-conversion circuit

10, the power consumption accompanying a transfer serves as  $\{C_w (V_H - V_L) \text{ and } V_{CC} - f\}$ , and is sharply reduced by about  $(V_H - V_L)$  of the conventional power consumption /  $V_{CC}$ ,  $1 / \text{three to } 1/4$ .

[0048] The signal spread to wiring WR1 is impressed to the gate of the PMOS transistor 31 of the receiver circuit 3, and the NMOS transistor N31. A signal is the virtual supply voltage  $V_H$ . When it is spread on level and impressed by the gate of a transistor, the NMOS transistor N31 will be in an ON state, and the PMOS transistor P31 will be in an OFF state. At this time, the potential by the side of the source of the PMOS transistor P31 it holds on the level which descended by  $V_{thNB}$  from supply voltage  $V_{CC}$  with the NMOS transistor N32 of a source follower -- having -- \*\*\*\* -- virtual supply voltage  $V_H$  It is completely held at an OFF state from being set as voltage only with ( $R_{121}$  and  $I_2$ ). [ higher than the voltage which lengthened threshold voltage  $|V_{thP}|$  of the PMOS transistor P31 from the source potential  $\{V_{CC} - V_{thNB}\}$  of the PMOS transistor P31 ] Consequently, penetration current does not flow.

[0049] Therefore, the signal level spread to wiring WR1 is the virtual supply voltage  $V_H$ . When it is level, the signal of grounding level is outputted from the output node of the input-stage buffer of receiver circuit 3A. The signal of this grounding level is inputted into the gate of the PMOS transistor P33 of an output-stage buffer, and the NMOS transistor N33 through the NMOS transistor N34 as the transfer gate. Consequently, the PMOS transistor P33 is held at an ON state, and since the NMOS transistor N33 is held at an OFF state, the signal of supply voltage  $V_{CC}$  level is outputted from the output node ND 34. Since this output signal is supplied also to the gate of the PMOS transistor P32 of a level shift circuit, the PMOS transistor P32 is held at an OFF state, and the level of a node ND 35 is held at grounding level.

[0050] On the other hand, a signal is the virtual grounding voltage  $V_L$ . When it is spread on level and impressed by the gate of a transistor, the NMOS transistor N31 will be in an OFF state, and the PMOS transistor P31 will be in an ON state. this -- the time -- PMOS -- a transistor -- P -- 31 -- the source -- a side -- potential -- a source follower -- NMOS -- a transistor -- N -- 32 -- supply voltage - -  $V_{CC}$  -- from --  $V_{thNB}$  -- a part -- only -- having descended -- level -- holding -- having -- \*\*\*\* -- things -- \*\* -- a receiver -- a circuit -- three -- A -- an input stage -- a buffer -- an output -- a node -- ND -- 32 -- from --  $\{V_{CC} - V_{thNB} - - - | - - V_{thP} - -$  The signal of this  $\{V_{CC} - V_{thNB} - |V_{thP}| \}$  level is inputted into the gate of the PMOS transistor P33 of an output-stage buffer, and the NMOS transistor N33 through the NMOS transistor N34 as the transfer gate. Consequently, the PMOS transistor P33 is held at an OFF state, and since the NMOS transistor N33 is held at an ON state, the signal of grounding level is outputted from the output node ND 34. Since this output signal is supplied also to the gate of the PMOS transistor P32 of a level shift circuit, the PMOS transistor P32 is held at an ON state, the level of a node ND 35 comes to be held at supply voltage  $V_{CC}$  level, and the signal output of the grounding level from an output-stage buffer is stabilized, and it is performed.

[0051] In addition, since this signal transfer circuit will pass four CMOS inverters from a driver circuit 2 to the output of receiver circuit 3A, the input signal level to

a driver circuit 2 and the output signal of the output-stage buffer of receiver circuit 3A serve as this level.

[0052] The driver circuit 2 which according to this example is made to reverse input signal level, and is set up and outputted to supply voltage VCC level and grounding level as explained above, Virtual supply voltage VH which  $\{VCC - GND > VH - VL\}$  Makes it come to be reversed of the output signal of a driver circuit 2 and which satisfies a relation Level and virtual grounding voltage VL The transfer amplitude-conversion circuit 10 which sets as level and the wiring WR1 in a chip is made to spread, Only the threshold voltage VthNB is dropped from supply voltage VCC. as an input buffer Receiver circuit 3A equipped with the NMOS transistor N32 as a voltage drop circuit which makes the source potential of the PMOS transistor P31 which constitutes a \*\* CMOS inverter hold to  $\{VCC - VthNB\}$  is prepared. Virtual supply voltage VH Level is set up more highly than the voltage which lengthened threshold voltage  $|VthP|$  of the PMOS transistor P31 from the source potential  $\{VCC - VthNB\}$  of the PMOS transistor P31. Virtual grounding voltage VL Since level was set up more highly than grounding level, one is sufficient as the wiring in a chip, and it can reduce the power consumption of LSI, it being able to reduce the power consumption and signal delay resulting from wiring of the interblock transfer in an LSI chip, and maintaining rapidity. Moreover, generating of the penetration current in the so-called receiver circuit 3A can be prevented, and from what the so-called small-size width-of-face transfer of NOMARI-off is [ a thing ] realizable, it reaches portable AV and is suitable for a multimedia device etc.

[0053] Furthermore, virtual supply voltage VH And virtual grounding voltage VL The source follower of the NMOS transistor N32 of a voltage drop circuit and the polar equal NMOS transistors N121 and N114 is prepared in the voltage generating circuit of a generating circuit, since the voltage which serves as criteria based on this is generated, a part for the element change by the process variation of a receiver circuit, temperature change, etc. can be absorbed, and a stable signal transfer can be realized.

[0054] Moreover, in this example, although the CMOS inverter type thing was explained to the example, the composition of the transfer amplitude-conversion circuit 10 As shown in drawing 7 instead of what is limited to this, it is the virtual supply voltage VH. A supply line and virtual grounding voltage VL Two NMOS transistors N101 and N102 are connected in series between supply lines. The output signal of a driver circuit 2 is supplied to the gate of the NMOS transistor N102. The so-called push pull type transfer amplitude-conversion circuit 10A which supplied the output signal of a driver circuit 2 to the gate of the NMOS transistor N101 through the inverter IV101 is applicable. The effect mentioned above and the same effect can be acquired also by this composition.

[0055] Moreover, although this example explained to the example the composition which formed the NMOS transistor N34 as the transfer gate in receiver circuit 3A, the effect mentioned above even if it was the composition of not preparing the transfer gate as shown in drawing 8 , and the same effect can be acquired.

[0056] Moreover, although this example explained the example which established the voltage drop circuit in the supply voltage VCC side of the input-stage buffer of

a receiver circuit, it cannot be overemphasized that this invention can also apply the composition prepared in the earth side.

[0057]

[Effect of the Invention] According to this example, as explained above, one is sufficient as the wiring in a chip, and it can reduce the power consumption of LSI, it being able to reduce the power consumption and signal delay resulting from wiring of the interblock transfer in an LSI chip, and maintaining rapidity.

[0058] Moreover, the source follower of the MOS transistor of a voltage drop circuit and a polar equal MOS transistor is prepared in the voltage generating circuit of the 3rd and 4th power supply potential generating circuits, since the voltage which serves as criteria based on this is generated, a part for the element change by the process variation of a receiver circuit, temperature change, etc. can be absorbed, and a stable signal transfer can be realized.

---

[Translation done.]



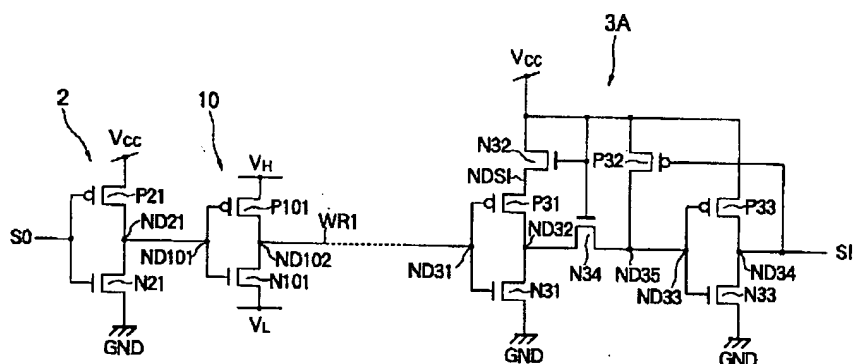
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

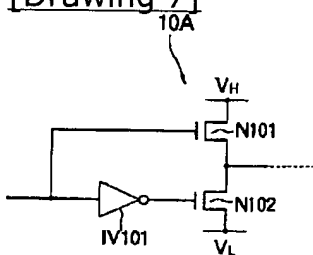
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

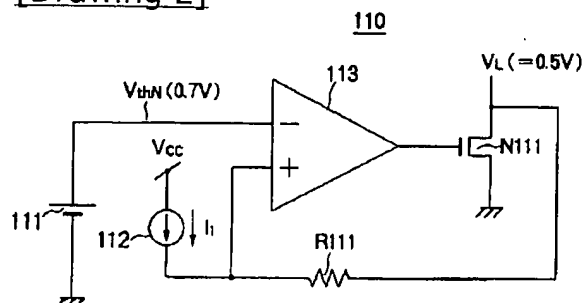
[Drawing 1]



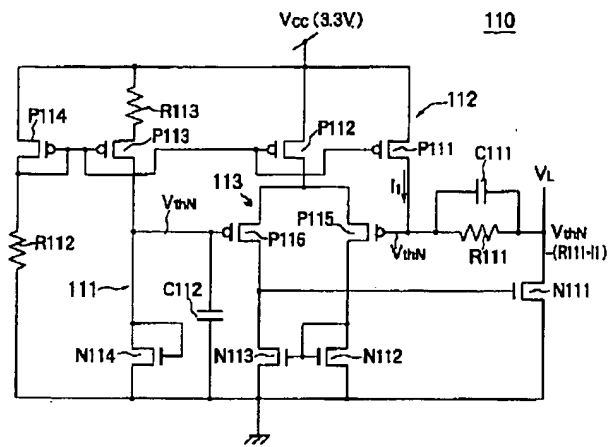
[Drawing 7]



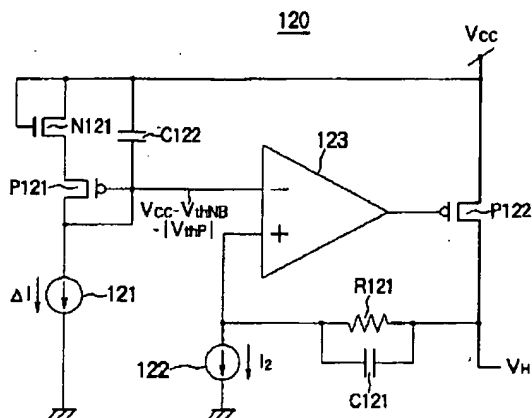
[Drawing 2]



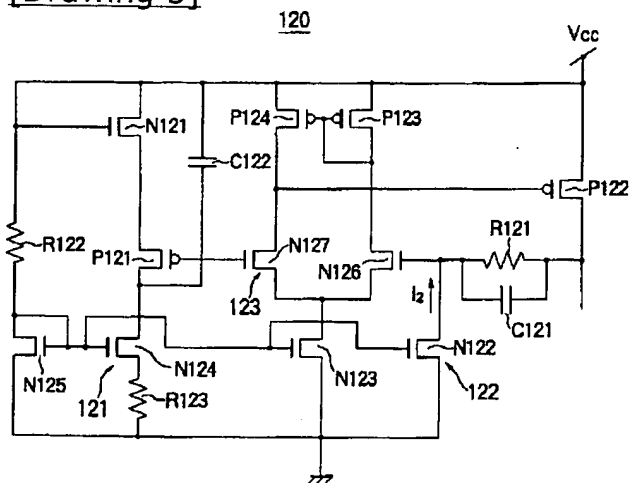
[Drawing 3]



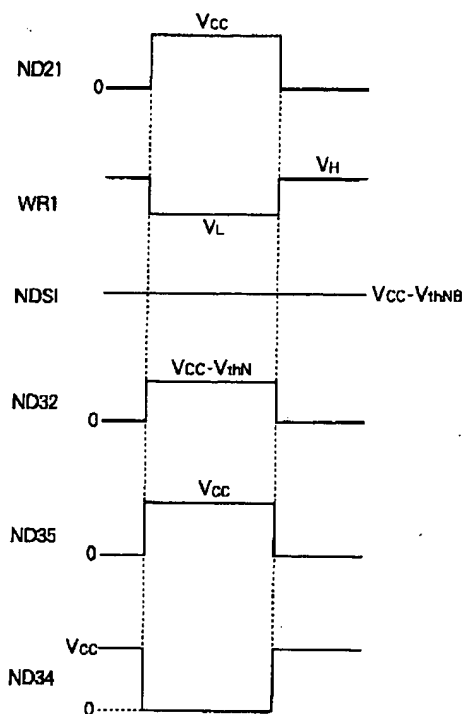
[Drawing 4]



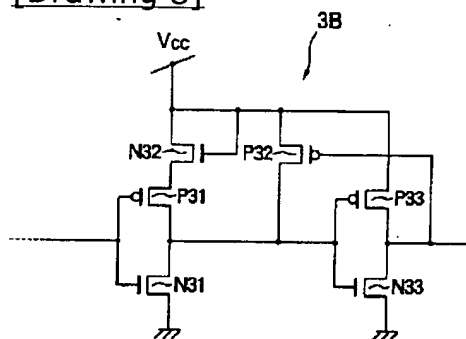
[Drawing 5]



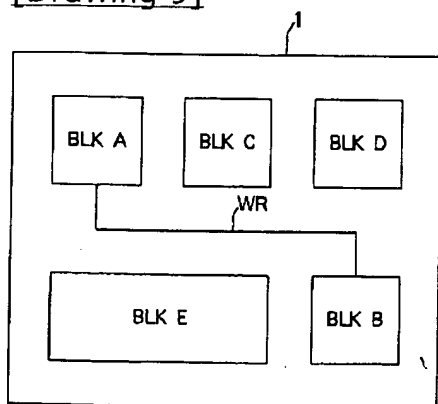
[Drawing 6]



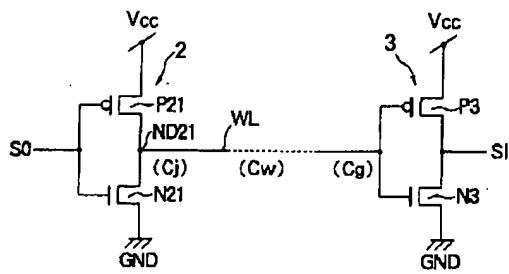
[Drawing 8]



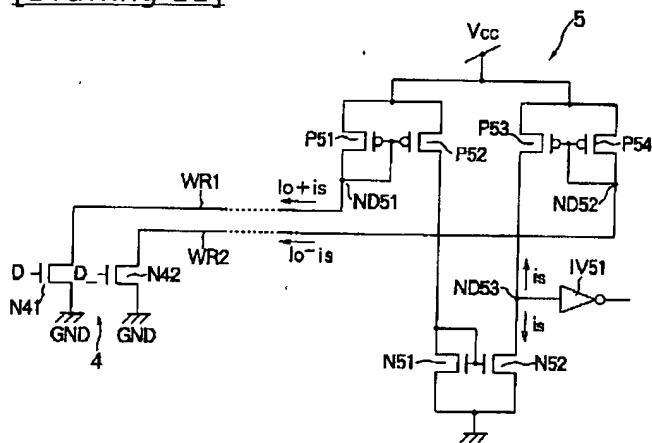
[Drawing 9]



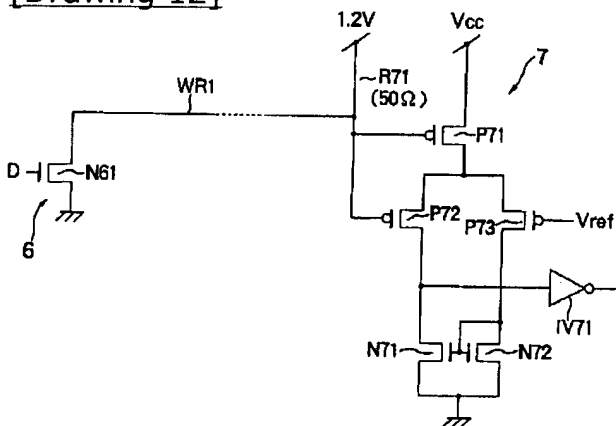
[Drawing 10]



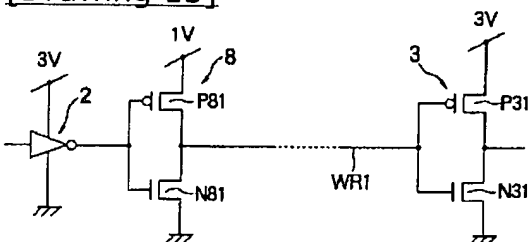
[Drawing 11]



[Drawing 12]



[Drawing 13]



[Translation done.]